

小型・低消費電力化可能な集積回路用タイミングデバイス

ライセンス契約を受けていただき 本発明の実用化を目指していただける企業様を求めます。

数Hz以下の低周波数信号を発生させつつ、小型化・低消費電力化が可能な集積回路用タイミングデバイスです。

◆背景

IoTの高性能化に向けて、たとえばMOS集積回路が形成される半導体基板上で、一定の低周波数（数Hz以下）のパルス信号を繰り返し出力するタイミングデバイスの小面積化および低消費電力化が望まれています。一方で、出力信号を低周波数化するほどコンデンサの大容量化が必要とされ、半導体基板上で一定の面積が必要となりかつ消費電力も多くなります。つまり、回路素子面積および低周波数化との間にトレードオフの関係が存在していました。

◆発明概要と利点

本発明の集積回路用タイミングデバイスは、2つのリーク電流発生素子を備えた回路（図1a）とすることで、コンデンサを小容量とすることができるため、低周波数を用いる場合においても、小型化かつ低消費電力化の実現が期待できます（表1）。55nm CMOSプロセスにおいて試作した実集積回路で有効性を実証しました。

➢ 小型化と低消費電力の両方を実現

従来のリーク電流発生素子を1つ用いたもの（図1b）と異なり、2つのリーク電流発生素子の差電流を利用してコンデンサを充電します。図1記載のような回路において周波数（f）が一定の場合、リーク電流（Ileak）がコンデンサ容量（C）に比例する（ $f \propto I_{leak}/C$ ）ため、リーク電流を小さくすれば小容量のコンデンサが実現でき、消費電力が低減できます。また、従来の回路と比較してFoM（信号周波数と占有面積の積）を約1/10とすることができ、出力信号を低周波数とした場合の小型化も期待されます。

➢ MOS集積回路の微細化に対しても高い特性を維持

プロセス（MOS集積回路のゲート長）を小さくした場合でも、従来技術と比較して優位性を維持しています（図2）。

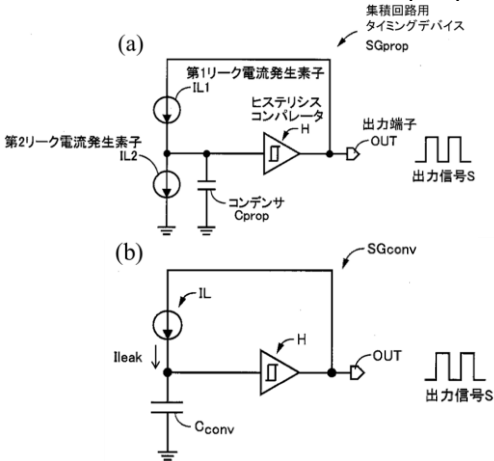


図1. (a)本発明の集積回路用タイミングデバイス、(b)従来の集積回路用タイミングデバイス

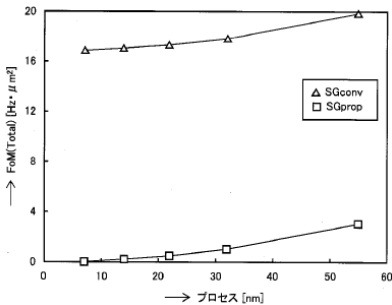


図2. 出力信号の周波数（Hz）× タイミングデバイスの占有面積（μm²）で示される指標FoM（Total）について、各ゲート長における従来技術（△）と本発明（□）との比較

表1. 本発明と従来の集積回路用タイミングデバイスの特性比較

	従来	本発明
信号周波数 [Hz]	0.07	0.11
プロセス [nm]	130nm CMOS	55nm DDG CMOS
電源電圧 [V]	0.3	0.29
消費電力 [pW]	120	4.5 (1/26.8)
トータル占有面積 [μm ²]	490	28 (1/17.1)
コンデンサの面積 [μm ²]	240	0.072 (1/3333)
FoM(Total) [Hz・μm ²] (=信号周波数 [Hz]・トータル占有面積 [μm ²])	33.8	3.08 (1/10.9)

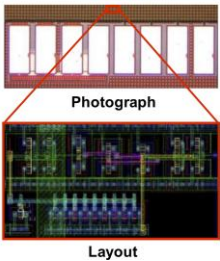


図3. 試作したチップ写真（上）とマスクレイアウト図（下）

◆研究段階

実集積回路を作製し、その効果を確認済み。

◆適応分野

- ウェアラブルデバイス
- 送信回路

◆特許情報

- 特許第7042486号
- ※国立大学法人京都大学が権利者となっています。

◆関連論文

- <https://doi.org/10.1587/transele.2018CDP0005>

◆希望の連携形態

- 実施許諾契約
- オプション契約
- 試作回路図及びGDS形式のフォトマスクデータの提供
- ※用途に応じ分野限定対応可。

◆お問い合わせ先

京都大学産学連携担当
株式会社TLO京都
〒606-8501
京都市左京区吉田本町
京都大学国際科学イノベーション棟3F
(075)753-9150
licensing_ku@tlo-kyoto.co.jp

